

PRESSEINFORMATION

PRESSEINFORMATION

10. November 2022 || Seite 1 | 2

Das Fraunhofer IIS/EAS implementiert erstmals Chiplet-Interface-IP in der 5-nm-Prozesstechnologie von Samsung

Das Fraunhofer IIS/EAS hat erstmals ein Chiplet-Interface-IP-Projekt in der Samsung 5-nm-Technologie umgesetzt, das auf dem BoW-Standard (Bunch of Wires) des Open Compute Projects (OCP) basiert. Diese Arbeiten sind ein erster Schritt, um die schnelle Einführung der Chiplet-Technologie weltweit sogar für elektronische Produkte mit kleineren Stückzahlen zu unterstützen.

Heute ist die Herstellung einer Chiplet-Schnittstelle von Chip zu Chip vor allem für Anwendungen, die in Großserie produziert werden, wirtschaftlich. Die kundenspezifische Umsetzung für Produktgruppen mit kleineren und mittleren Stückzahlen ist hiervon weitgehend ausgenommen. Für sie sind Chipllets immer noch Zukunftsmusik. Die Vorteile der Technologie, wie die größeren Freiheitsgrade bei der Auswahl der geeigneten Fertigungstechnologien für Schaltkreise, sind weitestgehend noch ungenutzt.

Um das zu ändern, arbeitet das Fraunhofer IIS/EAS an der Umsetzung von individualisierbaren Lösungen auf Chiplet-Basis. Um sie sicher und effizient gestalten zu können, bedarf es allerdings zukünftig einheitlicher Standards zum Beispiel für die Die-to-Die-Kontaktierung. Nur so können auch für kleine Produktionsmengen Schaltkreise verschiedener Hersteller erfolgreich integriert und Probleme bei der Chipmontage vermieden werden.

»Wir freuen uns über die Zusammenarbeit mit dem Fraunhofer IIS/EAS bei der Umsetzung ihres Schnittstellen-IP-Projektes in unserer 5-nm-Prozesstechnologie«, sagt Kevin Yee, Sr. Director of Marketing, Foundry IP and Ecosystem von Samsung Electronics. »Als führender IP-Partner in unserem SAFETM-Ökosystem und als Anbieter von BoW-basierten Schnittstellen-IPs, die auch für Samsung Foundry von Interesse sind,

Kontakte

Kommunikation: Sandra Kundel | Fraunhofer-Institut für Integrierte Schaltungen IIS, Institutsteil Entwicklung Adaptiver Systeme EAS
Münchener Straße 16 | 01187 Dresden | Telefon +49 351 45691-152 | www.eas.iis.fraunhofer.de | pr@eas.iis.fraunhofer.de

Samsung Kooperation: Andy Heinig | Abteilungsleiter Effiziente Elektronik | Telefon +49 351 45691-250 | andy.heinig@eas.iis.fraunhofer.de

**FRAUNHOFER-INSTITUT FÜR INTEGRIERTE SCHALTUNGEN IIS
INSTITUTSTEIL ENTWICKLUNG ADAPTIVER SYSTEME EAS**

planen wir, zusammenzuarbeiten und Wege zu finden, um unsere gemeinsamen Kunden und die Industrie zu unterstützen.«

PRESSEINFORMATION10. November 2022 || Seite 2 | 2

Hierfür hat das Fraunhofer-Designteam im aktuellen Projekt den sogenannten BoW-Standard des OCP innerhalb der Open Domain-Specific Architecture (ODSA) genutzt. »Wir haben bereits seit vielen Jahren Erfahrung mit Chiplet-Designs und freuen uns sehr, dass wir nun ein standardbasiertes Interface-IP auf der Samsung-Prozesstechnologie implementiert haben«, ergänzt Andy Heinig, Chiplet-Experte am Fraunhofer IIS/EAS. »Dabei haben wir im Projekt sogar die höchste vom BoW-Standard geforderte Datenrate von 16Gbit/s pro Lane erreichen können. Dies ist für uns eine sehr gute Basis für die Umsetzung von zukunftsweisenden Lösungen für unsere Kunden und für eine weiterhin fruchtbare Kooperation mit Samsung.«

Hintergrund: Chiplets

Chip-Packaging-Lösungen auf der Basis von Chiplets ermöglichen die Einbindung verschiedener Funktionseinheiten auch in unterschiedlichen Technologien auf einem Substrat oder in einem 3D-Aufbau. Damit können Elektronik-Entwickler die jeweils passfähigsten Fertigungstechnologien nutzen, um zum Beispiel Funktionalitäten, die Schaltkreise in neuesten Halbleitertechnologien benötigen, auf einige wenige Schaltkreise zu konzentrieren anstatt sie für den kompletten Chipaufbau nutzen zu müssen.

Der Institutsteil EAS des Fraunhofer IIS

Das Fraunhofer-Institut für Integrierte Schaltungen IIS ist eine weltweit führende Forschungseinrichtung für Mikroelektronik und Informationstechnik. Die Wissenschaftler am Institutsteil Entwicklung Adaptiver Systeme EAS in Dresden arbeiten an Schlüsseltechnologien für die vernetzte Welt von morgen. Schwerpunkte sind hierbei der Entwurf von Mikrochips und komplexen elektronischen Systemen auf der Basis zukunftsweisender Halbleitertechnologien sowie die dafür notwendigen Designmethoden. Darüber hinaus liegt der Fokus auf der Entwicklung intelligenter Sensorik, der Analyse großer Datenmengen und auf neuen Ansätzen für vernetzte Regelungen. Abgestimmt auf den aktuellen Bedarf und die künftigen Herausforderungen der Wirtschaft entstehen so adaptive und robuste technologische Lösungen vor allem in den Bereichen Mobilität und Industrieautomatisierung.